

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-084297

(43)Date of publication of application : 29.03.1989

(51)Int.Cl.

G09G 3/20

G09F 9/30

(21)Application number : 62-243197

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.09.1987

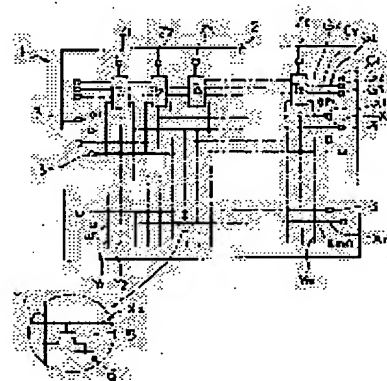
(72)Inventor : KAJIMURA MOTOJI
KASAHARA KOICHI

(54) DISPLAY DEVICE

(57)Abstract:

PURPOSE: To reduce the number of external connection terminals of signal electrode lines by dividing a plurality of signal electrode lines into a plurality of sets and supplying signals corresponding to respective signal electrode lines to each set in time division.

CONSTITUTION: Signal electrode lines Y1, Y2...Ym to which display signals are inputted are provided in the longitudinal direction on a substrate 2 of a liquid crystal display device 1 and divided into a plurality of sets by three through demultiplexers T1 to T1 consisting of thin film transistors(TFT). At least a signal transmission means is provided which supplies signals corresponding to signal electrode lines Y1 to Ym to each set in time division. Thus, the number of external connection terminals Z1 to Z1 of a plurality of signal electrode lines Y1 to Ym is reduced, and driving operations of prescribed display electrodes in parts where a plurality of signal electrode lines Y1 to Ym and a plurality of scanning electrode lines Xi to Xn cross each other are stabilized.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁 (J P)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭64-84297

⑪ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989) 3月29日

G 09 G 3/20
G 09 F 9/30

3 3 8

7335-5C
7335-5C

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 表示装置

⑮ 特 願 昭62-243197

⑯ 出 願 昭62(1987) 9月28日

⑰ 発 明 者 梶 村 元 二 神奈川県川崎市幸区堀川町72 株式会社東芝堀川町工場内

⑱ 発 明 者 笠 原 幸 一 神奈川県横浜市磯子区新杉田町8 番地 株式会社東芝横浜事業所内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 須山 佐一

明 細 書

1. 発明の名称

表示装置

2. 特許請求の範囲

(1) 複数の定査電極線と複数の信号電極線とが交差するように配置された表示装置において、前記複数の信号電極線が複数組に組分けされ、各組に、前記各信号電極線に対応する信号を時分的に供給する信号伝達手段が少なくとも設けられていることを特徴とする表示装置。

(2) 前記信号伝達手段は、薄膜トランジスタで構成されたデマルチプレクサであることを特徴とする特許請求の範囲第1項記載の表示装置。

(3) 前記各デマルチプレクサは、1個の外部接続端子に接続された入力部と、前記各組の信号電極線の本数に対応し、それぞれが所定の信号電極線に接続された出力部と、前記各組の信号電極線の本数に対応し、それぞれが所定の制御線に接続された制御部とを有し、前記デマルチプレクサは、前記制御線からの信号により前記入力部に与えら

れる信号を前記所定の信号電極線に出力することとを特徴とする特許請求の範囲第2項記載の表示装置。

(4) 前記各デマルチプレクサは、前記信号電極線を1本おきに選択した組とされ、デマルチプレクサが前記信号電極線の両端部に分配して対向配置されていることを特徴とする特許請求の範囲第2項記載の表示装置。

(5) 前記複数の定査電極線と前記複数の信号電極線とが交差する位置に薄膜トランジスタからなるスイッチング素子を介して、表示電極が配置されていることを特徴とする特許請求の範囲第2項記載の表示装置。

(6) 前記各デマルチプレクサは、前記薄膜トランジスタが配置された基板と同一基板に形成されていることを特徴とする特許請求の範囲第5項記載の表示装置。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、マトリクス型の表示装置に関し、特に信号電極線の外部接続端子数を低減した表示装置に関する。

(従来の技術)

従来から、電子機器等において、文字、図形等を表示させるものでは、マトリクス型の表示装置が用いられている。

上述したマトリクス型の表示装置、例えばアクティブ・マトリクス型表示装置では、複数の走査電極線と、これと交差するように配置された複数の信号電極線と、その交差部にスイッチング素子を介して信号電極線に接続された表示電極を有している。一方、これらに対向して、共通電極が配置されるとともに、表示電極と共通電極間に表示媒体が設けられている。表示媒体としては、液晶、エレクトロルミネッセント物質等が利用される。

このような表示装置では、走査電極線に順次選択信号が与えられ、これと同期して複数の信号電極線に表示信号が入力されることにより、選択された走査電極線上の複数のスイッチング素子が導

通状態となり、これらのスイッチング素子を介して所定の表示信号が表示電極に書込まれ、所望の表示がなされる。

そして、カラー表示を行う場合には、エレクトロルミネッセントを利用した表示装置では各表示電極に色成分、例えば赤、緑、青色の光を発するように蛍光体が塗り分けられ、また液晶を利用した表示装置では、各表示電極に対応して透過光の異なるフィルタが設けられる。

ところで、近年、大画面や高精細画像等の要求にともない、表示電極の数、即ち画素の数が増加される傾向にある。従って、画素が増加されるにともない、画素を選択するための走査電極線および信号電極線の数が増えてしまう。

この走査電極線および信号電極線の数増加は、この表示装置を駆動する外部装置(例えば駆動用集積回路素子が実装された基板)と接続するための外部接続端子数の増加をもたらし、さらには、外部接続端子の増加により各端子間のピッチが狭くなったり、外部接続端子と、外部装置の接続端

子との接続作業が困難になってしまうという不都合を生じる。

このような不都合を解決するものとして、表示装置の基板上に駆動回路群を組込む方法がある。

この方法は、集積回路素子を直接表示装置の基板上に配設したり、あるいは薄膜トランジスタ(以下、単にTFTという)で駆動回路を構成し、同じく表示装置の基板上に配置するというものである。

しかしながら、集積回路素子を直接表示装置の基板上に配設する方法では、集積回路素子のための配線網が必要となり、複雑化する。またこれらのスペースのために基板が大形化し、製造において多数個取りをする際には一度に待られる基板の数が減る。またTFTで駆動回路を構成し表示装置の基板上に配置するものでは、例えばアモルファスシリコンでTFTを構成した場合には、TFTの周波数応答の点から高駆動ができず、実用的ではない。

また、TFTで駆動回路の一部を構成するととも

に、これを表示装置の基板上に配置するものの一例として、特開昭61-198198号公報には、走査電極線に $M \times N$ 個のTFTからなるデコード回路を設けることにより、外部接続端子の数を減らした液晶表示装置が示されている。即ち、ゲート電極とドレイン電極とがマトリクス状に結線された $M \times N$ 個のTFTを設け、これらTFTのソース電極を走査電極線に接続している。そして、これらのTFTのゲート電極とドレイン電極に順次所定の信号を与え、 $M \times N$ 個のTFTのソース電極から順次選択信号を取り出し、所定の走査電極線に選択信号を供給している。これにより $M \times N$ 個の走査電極の外部接続端子数を $M \times N$ 個に減らしている。

(発明が解決しようとする問題点)

しかしながら、上記の公報に示された液晶表示装置では、デコード回路のTFTがオフ状態となっている走査電極線(非選択状態の走査電極線)は、フローティング状態となる。このため、非選択状態の走査電極線はノイズ等により電圧が不安定になり易い。

定電極線は各画素部でTFTのゲート電極に接続されているので、特にノイズにより非選択状態の定電極線の電位が上昇すると、この定電極線に結合された画素部のTFTがオンあるいは半導通状態となり、画素部に保持された電荷がリークして他の画素部に流入し、表示状態が劣化するという問題がある。

本発明は、このような問題点を解決しつつ、信号電極線の外部接続端子数を減らすことができ、かつ複数の信号電極線と複数の定電極線とが互いに交差する部分の所定の表示電極の駆動動作が安定である表示装置を提供することを目的とする。

【発明の構成】

（問題点を解決するための手段）

本発明は、複数の定電極線と複数の信号電極線とが交差するように配置された表示装置において、前記複数の信号電極線が複数組に組分けされ、各組に、前記各信号電極線に対応する信号を時分的に供給する信号伝達手段が少なくとも設けられていることを特徴とする。

サ $I_1 \sim I_k$ を介して3本ずつに組分けされて複数の組に構成されている。そして、定電極線 $X_1 \sim X_n$ と信号電極線 $Y_1 \sim Y_o$ とが互いに交差する部分に $M \times N$ 個の例えばTFTからなるスイッチング素子5を介して表示電極6が形成されている。さらに、デマルチプレクサ $I_1 \sim I_k$ は、信号接続端子 $Z_1 \sim Z_k$ に接続されており、またこのデマルチプレクサ $I_1 \sim I_k$ には、制御線 Gx, Gy, Gz が接続されている。制御線 Gx, Gy, Gz には制御端子 G_1, G_2, G_3 よりゲート信号が入力される。なお、デマルチプレクサ $I_1 \sim I_k$ 部を除いた構成は、周知のTFTを用いたアクティブ・マトリクス型の液晶表示装置と同様の構成であり、また図示しないが基板2に対向するように共通電極が形成された基板が設けられ、両者の間には液晶が挟持されている。

なお、同図において、定電極線 $X_1 \sim X_n$ の各定電極接続端子3、3…が千鳥状に設けられているが、片側のみに設けてもよく、あるいは両側を一例に並べてもよい。

（作用）

本発明によれば、信号電極線が複数組に組分けされ、各組に、前記各信号電極線に対応する信号を時分的に供給する信号伝達手段を少なくとも設けたので、信号電極線の外部接続端子数を減らすことができる。

（実施例）

以下、本発明に係る表示装置の実施例を図面を参照しながら詳細に説明する。

第1図は、アクティブ・マトリクス型の液晶表示装置に適用した例を示す図で、同図に示すように液晶表示装置1の基板2上の横方向には、定電極線が入力される定電極線 X_1, X_2, \dots, X_n が設けられており、各定電極線 $X_1 \sim X_n$ の両端には、定電極接続端子3、3…が千鳥状に設けられている。

また、液晶表示装置1の基板2上の縦方向には、表示信号が入力される信号電極線 Y_1, Y_2, \dots, Y_o が設けられており、この信号電極線 $Y_1 \sim Y_o$ は、薄膜トランジスタ(TFT)からなるデマルチプレク

サ I_1, I_2, \dots, I_k の各組は、3本ずつとされているが、これに限らず2本以上であればよく、表示装置の構成上好ましくは、各組の信号電極線本数の整数倍が信号電極線本数となるように、各組の信号電極線の本数を定める。

第2図(a)は第1図のデマルチプレクサ I_1, I_2 を拡大して示す図で、また第2図(b)はデマルチプレクサ I_1, I_2 の等価回路図である。

まず、第2図(b)を参照すれば、このデマルチプレクサ I_1, I_2 は、それぞれ3つのTFTからなるスイッチング素子 M_1, M_2, M_3 を有し、各ドレイン電極が共通接続されて外部接続端子 Z_1, Z_2 に接続されている。各ソース電極はそれぞれ所定の信号電極線 $Y_1, Y_2, Y_3, Y_4, Y_5, Y_6$ に接続されている。一方、それぞれのスイッチング素子 M_1, M_2, M_3 のゲート電極は各デマルチプレクサ $I_1 \sim I_k$ 間で共通の制御線 Gx, Gy, Gz に接続されている。このような各デマルチプレクサは第2図(a)に示すように構成され、制御線 Gx, Gy, Gz に接続されたゲート電極

G上に、絶縁膜(図示せず)を介してアモルファスシリコン膜(図示せず)が形成され、さらにこの上にそれぞれドレイン電極Dおよびソース電極Sが形成されている。なお、これらTFTの構成は画素部のTFTと同様の構成にするとよい。そして、これらのデマルチプレクサ $I_1 \sim I_m$ は、信号接続端子 $Z_1 \sim Z_m$ に入力された入力信号を、制御線Gx、Gy、Gzに入力されるゲート信号に基づき各信号電極線 $Y_1 \sim Y_n$ へ選択的に出力する作用をする。

次に、このように構成された液晶表示装置の動作について説明する。

まず、定電極線 X_1 に選択信号が入力された後、この選択期間内にデマルチプレクサ $I_1 \sim I_m$ に接続されている制御線Gx、Gy、Gzに互いにタイミングのずれたオーバーラップすることのないゲート信号が順次入力される。

例えば、制御線Gxにゲート信号が入力されると、各デマルチプレクサ $I_1 \sim I_m$ のスイッチング素子 H_1 がオンとなり、各組の信号電極線 Y_1 、

$Y_2 \dots Y_{n-2}$ と信号接続端子 $Z_1 \sim Z_m$ 間が導通状態となり、次いで表示接続端子 $Z_1 \sim Z_m$ から表示信号が入力されて、画素 a_1 、 $a_2 \dots a_{n-2}$ が駆動される。

これらの動作が終了すると、制御線Gy、Gzに順次ゲート信号が入力され、各組の信号電極線 Y_1 、 $Y_2 \dots Y_{n-2}$ と Y_3 、 $Y_4 \dots Y_n$ と信号接続端子 $Z_1 \sim Z_m$ 間が順次導通状態となる。これらの導通状態のタイミングに合わせて各信号接続端子 $Z_1 \sim Z_m$ から所定の画素に対応する表示信号が時分割的に入力されて、定電極線 X_1 上の残りの画素が駆動される。

この時、デマルチプレクサ $I_1 \sim I_m$ のスイッチング素子 H_1 、 H_2 、 H_3 が非選択(オフ)状態のものは、表示装置内部の信号電極線はフローティング状態となる。しかしながら、信号電極線は画素部のTFTのドレイン電極に接続されており、ノイズにより信号電極線電位が変動しても従来技術のように表示画質の劣化とはならない。

これらの一連の動作が終了した後、定電極線

X_2 に選択信号が入力され、さらに上記の制御線Gx、Gy、Gzにゲート信号の入力が繰り返される。そして、信号接続端子 $Z_1 \sim Z_m$ から表示信号が時分割的に入力されて、定電極線 X_2 上の画素が順次駆動される。

さらに、同様の動作を定電極線 $X_3 \sim X_n$ に対しても行なうことにより、定電極線 $X_1 \sim X_n$ 上の $M \times M$ 個の画素が駆動されて所望の画素の1フレームが表示される。

このように、デマルチプレクサを介して信号電極線 $Y_1 \sim Y_n$ が3本づつに組分けされて複数の組に構成されることにより、各組のデマルチプレクサに接続される信号接続端子 $Z_1 \sim Z_m$ の数(この実施例では $n \times 1/3$ 個になる)を減すことができるので、この信号接続端子 $Z_1 \sim Z_m$ に接続される駆動用IC(図示せず)の外部接続端子(図示せず)の数も減すことができ、さらには信号接続端子 $Z_1 \sim Z_m$ と駆動用ICの外部接続端子との配線が容易となる。

また、デマルチプレクサ $I_1 \sim I_m$ は、このデ

マルチプレクサ $I_1 \sim I_m$ を構成するTFTのチャンネル長(L)が $10 \mu m$ 程度とされても、チャンネル幅(W)を充分広くするスペースが確保されるので、スイッチング速度を充分速くすることが可能である。

そして、例えば信号電極線 Y_1 の容量を100PF、信号電圧を5V、書き込み時間を $10 \mu s$ とした場合、TFTの駆動電流は $50 \mu A$ もあればよく、チャンネル長(L)を $10 \mu m$ とした場合、チャンネル幅(W)は $100n$ もあれば充分である。

なお、上述の実施例のデマルチプレクサ $I_1 \sim I_m$ の形状は、第3図に示すように樹形型としてもよい。

このような構成のデマルチプレクサIでは、チャンネル幅を実質的に広くすることができるので、さらに速いスイッチング速度を必要とする場合において好適である。

第4図は、第1図に示した液晶表示装置1の構成を変えた本発明の他の実施例を示す図で、同図に示すように信号電極線 $Y_1 \sim Y_n$ が1本おきに3

本づつの組とされた複数組が構成され、隣り合う組の端部には、対向されてデマルチプレクサ $I_1 \sim I_k$ が設けられている。

このように構成された液晶表示装置 1 では、デマルチプレクサ $I_1 \sim I_k$ に接続される各隣り合う信号接続端子 $Z_1 \sim Z_k$ のスペースが広くできるとともに、デマルチプレクサ $I_1 \sim I_k$ を構成する TFT の設計自由度を増すことができる。

第 5 図は、第 1 図に示した液晶表示装置 1 の構成を変えた本発明のさらに他の実施例を示す図で、走査電極線 $X_1 \sim X_n$ に 2 本同時に走査信号が入力されるように、信号電極線 $Y_1 \sim Y_n$ を中央付近で分割して信号電極線 $Y_1 \sim Y_n$ と $Y_1' \sim Y_n'$ とに分け、走査電極線 $X_1 \sim X_n$ を中央付近を介して短絡させた構成としている。

このような構成の液晶表示装置 1 では、各信号電極線 $Y_1 \sim Y_n$ 、 $Y_1' \sim Y_n'$ に対して上下に設けられたデマルチプレクサ $I_1 \sim I_k$ 、 $I_1' \sim I_k'$ を介して各画素が時分割的に駆動される。

なお、以上の各実施例において、各画素への信

号電圧の書込み用にアクティブ素子として、特に TFT を用いる場合には、製造上この書込み用 TFT と、時分割駆動用デマルチプレクサの TFT を同時に作ることが可能である。

また、信号接続端子 $Z_1 \sim Z_k$ の駆動用 IC の出力線の数も同様に減すことができるので、駆動回路を含めた液晶表示装置 1 の組立作業が大幅に簡素化される。

さらには、液晶表示装置 1 の信号電極線 $Y_1 \sim Y_n$ への印加信号を切換える薄膜トランジスタの配設が必要となるが、性能の面では場所的制約が少ないことから配設可能となり、しかも充分なスイッチング速度を得ることが容易であるばかりでなく、薄膜トランジスタの配置スペースも比較的小さくすることができる。

また、アクティブマトリクス形の液晶表示装置に適用した例を示したが、この例に限らず例えば EL 液晶表示装置等にも適用可能である。

〔発明の効果〕

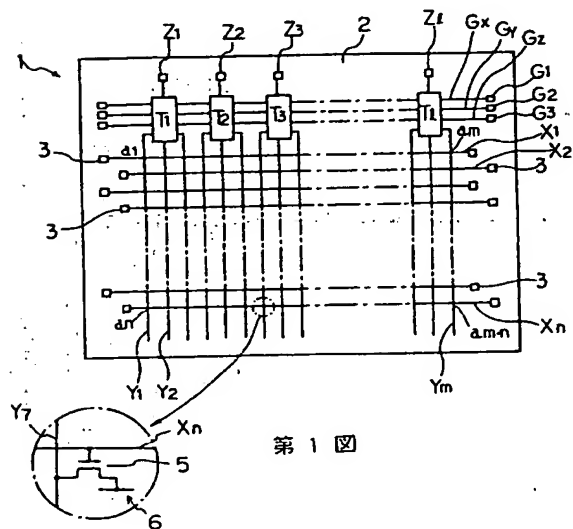
以上説明したように、本発明の表示装置は、信

号電極線の外部接続端子の数を減すことができる。

4. 図面の簡単な説明

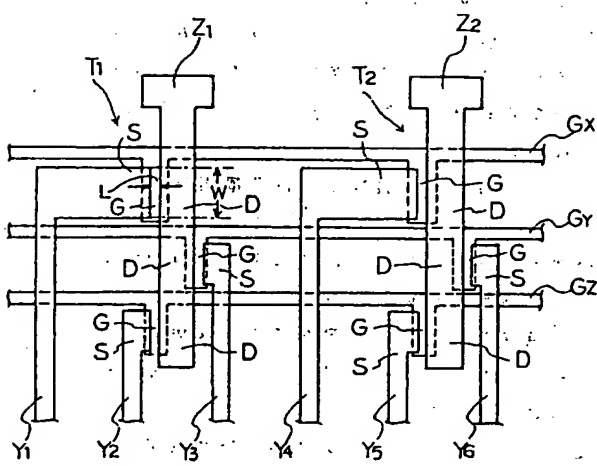
第 1 図は本発明に係る液晶表示装置を示す平面図、第 2 図 (a) (b) は第 1 図のデマルチプレクサの拡大図及び等価回路図、第 3 図は第 1 図のデマルチプレクサの構成を変えたデマルチプレクサを示す拡大図、第 4 図は第 1 図の液晶表示装置の構成を変えた本発明の他の実施例を示す液晶表示装置の平面図、第 5 図は第 1 図の液晶表示装置の構成を変えた本発明のさらに他の実施例を示す液晶表示装置の平面図である。

1…液晶表示装置、2…基板、3…走査接続端子、 $G_1 \sim G_3$ …制御端子、 $G_x \sim G_z$ …制御線、 $I_1 \sim I_k$ 、 $I_1' \sim I_k'$ …デマルチプレクサ、 $X_1 \sim X_n$ …走査電極線、 $Y_1 \sim Y_n$ 、 $Y_1' \sim Y_n'$ …信号電極線、 $Z_1 \sim Z_k$ …信号接続端子。

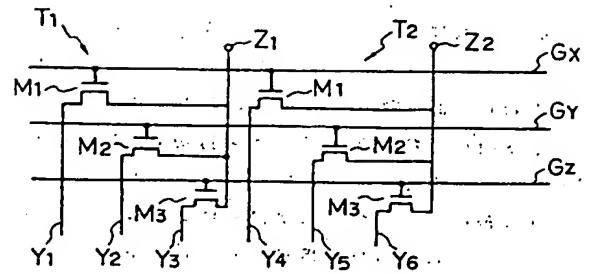


第 1 図

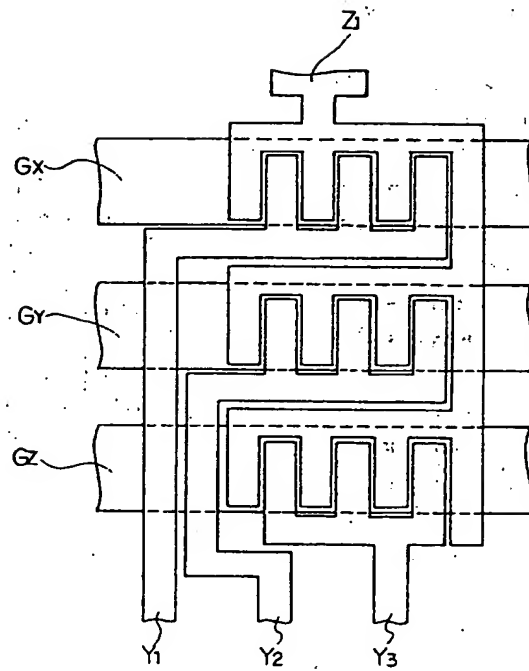
出願人 株式会社 東芝
代理人 井理士 須山 佐一



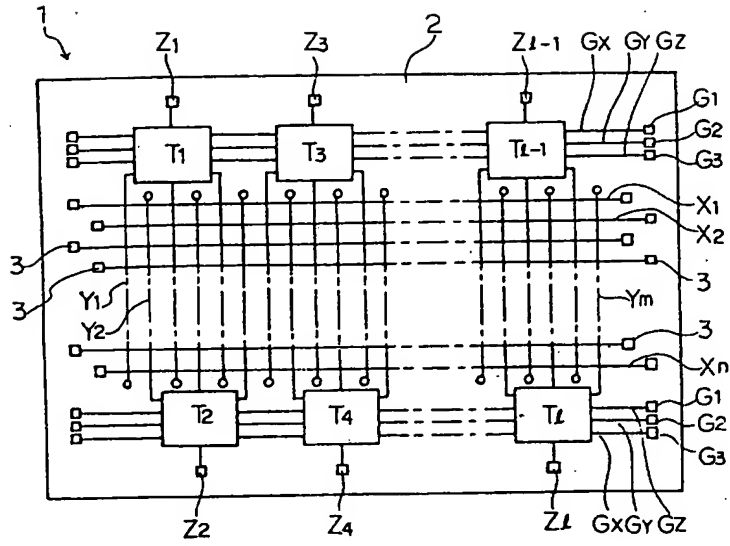
第 2 図 (a)



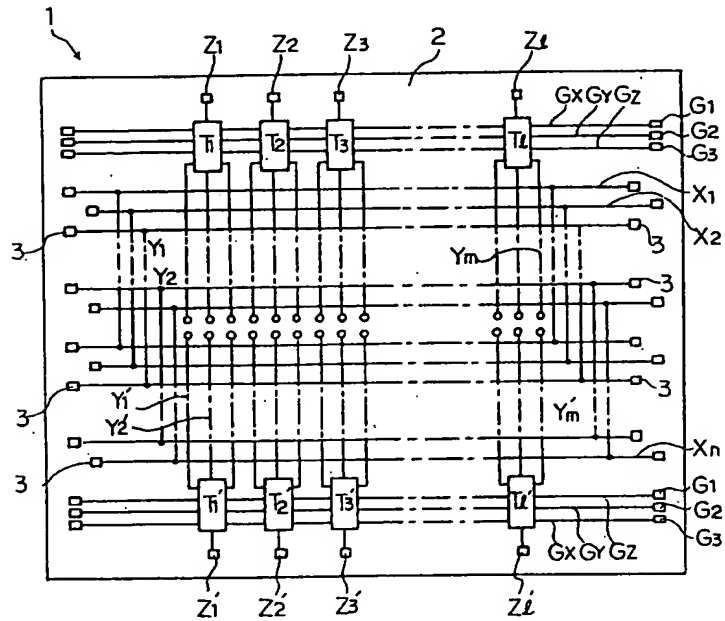
第 2 図 (b)



第 3 図



第 4 図



第 5 図